

DIALOG(R)File 345:Inpadoc/Fam. & Legal Stat
(c) 2004 EPO. All rts. reserv.

8667512

Basic Patent (No,Kind,Date): JP 1081262 A2 890327 <No. of Patents: 002>

ACTIVE MATRIX SUBSTRATE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): MATSUO MUTSUMI

IPC: *H01L-027/12; G02F-001/133; H01L-029/78

Derwent WPI Acc No: G 89-135099

JAPIO Reference No: 130304E000054

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1081262	A2	890327	JP 87238316	A	870922 (BASIC)
JP 2568857	B2	970108	JP 87238316	A	870922

Priority Data (No,Kind,Date):

JP 87238316 A 870922

Japanese Laid-open Patent

Japanese Patent Laid-Open Number: 64-81262

Laid-open Date: March 27, 1989

Application Number: Sho 62-238316

Filing Date: September 22, 1987

Applicant: SEIKO EPSON CORP.

SPECIFICATION

1. Title of the Invention

Active Matrix Substrate

2. Claims

1. An active matrix substrate comprising:

an insulating substrate;

plural data lines and plural timing lines perpendicular to each other on the insulating substrate; and

switching elements located at the intersections of the data lines and the timing lines to drive pixel electrodes;

wherein the insulating substrate has grooves, and capacitors added to the pixels are formed in the grooves. 2. The active matrix substrate as set forth in claim 1 wherein the capacitors added to the pixels consist of a first semiconductor thin film doped with high concentration impurity, an oxide film of said semiconductor thin film, and a second semiconductor thin film doped with high concentration impurity.

3. Detailed Description of the Invention

[Industrial Field of Utilization]

The present invention relates to the structure of an active matrix substrate in which plural data lines and timing lines being perpendicular to each other and switching elements for driving pixel electrodes arranged at the intersections of the plural data lines and timing lines are placed on an insulating substrate.

[Prior Art Techniques]

Fig. 2 is a diagram schematically illustrating an active matrix substrate. A semiconductor thin film is used as an active region on an insulating substrate. Using this active region, thin-film transistors (TFTs) are fabricated. [Translator's note: The original sentence contains some ununderstandable words that cannot be translated.] Because of the switching action of the TFTs, a video signal on data lines (S_1, S_2, \dots) can be written into the pixel electrodes by a signal on timing lines (G_1, G_2, \dots).

Furthermore, in the case where a counter electrode is provided such that a liquid crystal material is interposed between each pixel electrode and the counter electrode, and a voltage is applied to the liquid crystal material, the orientation of the liquid crystal material varies. Thus, a liquid crystal panel whose transmittance for light can be controlled can be accomplished. A pixel capacitance fabricated by the pixel electrode and the counter electrode via the liquid crystal material, has an advantage that the pixel potential can be retained more reliably with increasing the pixel capacitance as long as it is less than a pixel capacitance value determined by the ON resistance of TFTs and the writing time. Also, it has advantages that the vertical nonuniformity is reduced and the display quality is enhanced. Accordingly, where the pixel electrode area is large (e.g., 200 micrometers in diagonal or more), no serious problems occur. However, where the pixel electrode area is smaller (e.g., 100 micrometers in diagonal or less), capacitors added to the pixels are indispensable for compensation of the pixel capacitance.

Fig. 3(a) is a plan view of the prior art active matrix substrate, and in which MOS capacitors are used as capacitors added to pixels. Fig. 3(b) is a cross-sectional view taken on line a-a' of Fig. 3(a).

The process sequence is next described. First, a semiconductor thin film 2 such as polycrystalline silicon thin film is deposited on an insulating substrate 1 as made of quartz and patterned. Then, the semiconductor thin film 2 is oxidized, and a gate insulating film 3 is formed. Thereafter, a conducting thin film is deposited and patterned. In this way, gate electrodes 4, timing lines 5, and a common line 6 are formed. Note that the timing lines 5 and the common line 6 are not always required to be made of the same material. Then, phosphorus ions are implanted into the semiconductor thin film 2, using the conducting thin film as a mask. Thus, n-type MOS capacitors are created immediately below the n-type TFTs and common line 6. Then, an interlayer insulating film 7 is deposited. Contact holes 8 are formed. The transparent conducting film is patterned to form pixel electrodes 9. The metal thin film is patterned to form data lines 10. A positive fixed voltage is applied to the semiconductor thin film 2 with respect to the common line 6 to thereby create capacitances added to the pixels by the insulating oxide film, the capacitances being located between the common line 6 and the semiconductor thin film 2. However, with the aforementioned prior art technique, limitations are placed on the capacitances added to the pixels, for the following reason. The area of the portions of the common line 6 which create MOS capacitors needs to be increased in order to increase the capacitance added to pixels. This

will lead to a decrease in the aperture ratio. Therefore, where the pixel area is especially small (e.g., 50 micrometers in diagonal or less), the aperture ratio is further sacrificed.

Accordingly, the present invention is intended to solve these problems. It is an object of the present invention to provide a high-density active-matrix substrate structure having pixel electrodes to which large capacitors can be added.

[Means for Solving the Problem]

An active matrix substrate in accordance with the present invention has an insulating substrate, plural data lines and plural timing lines perpendicular to each other on the insulating substrate, and switching elements located at the intersections of the data lines and the timing lines to drive pixel electrodes, and is characterized in that grooves are formed in the insulating substrate, and that capacitors added to the pixels are formed in the grooves.

[Operation]

In the above-described structure in accordance with the present invention, capacitors added to the pixels are created in three dimensions by forming grooves in the insulating substrate. Even where pixel electrodes are present at a high density, large capacitors added to the pixels can be created in a narrow region without deteriorating the aperture ratio.

[Embodiments]

Fig. 1 shows a first embodiment of the present invention. Fig. 1(a) is a plan view of an active matrix substrate having capacitors added to pixels, the capacitors being created in grooves. Fig. 1(b) is a cross-sectional view taken on line a-a' of Fig. 1(a).

Its process sequence is described below. First, grooves 11 are formed in an insulating substrate 1. An ordinary isotropic etching process may be used. However, where deep and small grooves are formed, a dry anisotropic etching process may be adopted. Then, doped, first polysilicon thin film 12 is deposited. All the layers are removed by patterning except for inside the grooves 11 and for the common line 6. Subsequently, the polysilicon thin film 12 is thermally oxidized, and an insulating oxide film 13 used to create capacitors to be added to pixels is formed. Then, a second polysilicon thin film 14 doped with an impurity is deposited to bury the inside of the grooves 11. Then, a semiconductor thin film 2 used for thin-film transistors is deposited and patterned to form a gate insulating film 3. Subsequently, the same process steps as the prior art process steps shown in Fig. 3 are carried out. As can be seen from the figure, larger additive capacitors than those

shown in Fig. 3 can be formed. Two conducting films for forming the capacitors added to the pixels are doped polysilicon films in the present embodiment. They can also metal thin films. It is not always necessary that the grooves 11 be buried. Where flatness is taken into consideration, it is desired to bury the grooves.

Fig. 4 shows a second embodiment. Fig. 4(a) is a plan view. Fig. 4(b) is a cross-sectional view taken on line a-a' of Fig. 4(a).

In the structure of Fig. 1, the common line 6 is under the insulating oxide film of the capacitors added to the pixels. In the structure of Fig. 4, the common line is placed on top of the insulating oxide film. In Fig. 4, the gate insulating film for the TFTs and the insulating oxide film for the capacitors added to the pixels are formed at the same time. They are not always required to be formed simultaneously. Where the common line 6 and the timing lines 5 are made of the same material, the process sequence can be shortened. They are not always required to be made of the same material.

Fig. 5 shows a third embodiment. Fig. 5(a) is a plan view of the third embodiment. Fig. 5(b) is a cross-sectional view taken on line a-a' of Fig. 5(a). The present invention is applied to a high-density active matrix substrate having a pixel area smaller than those of Figs. 1 and 3. This is an ideal structure in which priority is given to the aperture ratio.

First, TFTs are placed under the data lines 10 and so effective use of the pixel regions can be made. Where the data lines 10 are made of a metal thin film, the lines can be formed also as a light shielding layer. Leakage current from the TFTs under the presence of light can be reduced.

Secondly, the capacitors added to the pixels and formed in the grooves and the common line 6 are placed under the timing lines 5. This structure provides an improved aperture ratio.

The process sequence is similar to the process sequence of the second embodiment described in connection with Fig. 4 except that a process step for depositing an interlayer insulating film 7' between the common line 5 and the timing lines 6 is added.

[Effects of the Invention]

In accordance with the present invention, capacitors added to pixels are built in grooves. Therefore, even if the liquid crystal panel has a high pixel density, the pixel potential can be retained sufficiently. Vertical contrast nonuniformity is suppressed. Also, contrast variations among pixels are reduced. In this way, high-quality display can be obtained.

Furthermore, if the capacitors added to the pixels and built in the grooves are placed immediately under opaque portions such as timing lines and

data lines, a liquid crystal panel with high quality and a higher aperture ratio can be realized.

4. Brief Description of the Drawings

Fig. 1(a),(b), 4(a),(b), and 5(a),(b) show first, second, and third embodiments, respectively, of the present invention; In each of them, (a) is a plan view of an active matrix substrate having capacitors added to pixels and built in grooves, and (b) is a cross-sectional view taken on line a-a' of (a);

Fig. 2 is a schematic diagram of an active matrix substrate;

Fig. 3(a) is a plan view of an active matrix substrate having the prior art capacitors added to pixels, and Fig. 3(b) is a cross-sectional view taken on line a-a' of (a).

- 1: insulating substrate;
- 2: semiconductor thin film;
- 3: gate insulating film;
- 4: gate electrodes;
- 5: timing lines;
- 6: common line;
- 7, 7': interlayer insulating films;
- 8: contact holes;
- 9: pixel electrodes;
- 10: data lines;
- 11: grooves;
- 12: first polysilicon thin film doped with an impurity;
- 13: insulating oxide film for capacitors added to pixels;
- 14: second polysilicon thin film doped with an impurity

⑫ 公開特許公報 (A) 昭64-81262

⑬ Int. Cl.
H 01 L 27/12
G 02 F 1/133
H 01 L 29/78

識別記号
327
311

厅内整理番号
A-7514-5F
7370-2H
A-7925-5F

⑭ 公開 昭和64年(1989)3月27日
審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリックス基板

⑯ 特願 昭62-238316

⑰ 出願 昭62(1987)9月22日

⑱ 発明者 松尾 陸 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代理人 弁理士 最上 務 外1名

明細書

1. 発明の名称

アクティブマトリックス基板

2. 特許請求の範囲

(1) 絶縁性基板上に直交する複数本のデータ線と複数本のタイミング線を有し、該データ線とタイミング線の交差点に像素電極を駆動するスイッチング素子と配置したアクティブマトリックス基板において、絶縁性基板に溝を掘り、該溝内に画素付加容量を構成したことを特徴とするアクティブマトリックス基板

(2) 前記画素付加容量は、高濃度の不純物がドープされた第一の半導体薄膜と前記半導体薄膜の酸化膜と、高濃度の不純物がドープされた第二の半導体薄膜からなる特許請求の範囲第一項記載のアクティブマトリックス基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、絶縁性基板上に直交する、複数本のデータ・タイミング線と前記データ・タイミング線の交差点に像素電極を駆動するスイッチング素子と配置したアクティブマトリックス基板の構造に関する。

(従来の技術)

第2図はアクティブマトリックス基板の模式図である。絶縁性基板上に半導体薄膜を駆動領域として用いた薄膜トランジスターTFT(p8) P8自然段を構成すれば前記薄膜トランジスターのスイッチングにより、データ線(S, ~S, ,)のビデオ信号をタイミング線(G, ~G, ,)の信号で像素電極に書き込むことができる。

さらに対向電極をもうけて、像素電極と対向電極間に液品を介在させて液品に電圧印加すれば、液品の配向が変化し、透過光量が制御される液品パネルが実現できる。ここで前記像素電極と対向電極が液品を介して作る画素容量は、薄膜トランジスターのオン抵抗と書き込み時間から決まる画

蓄積容量以下であれば大きい方が蓄積電位の保持が確実にできて上下でのコントラストからを生じにくく表示品質もあがるという利点がある。したがって、西素電極面積が大きい場合（例えば200ミクロンメートル角以上）では、整流問題はないが、蓄積電極面積がもっと小さい場合（例えば100ミクロンメートル角以下）では、蓄積容量を詰うための西素付加容量が必要不可欠となる。

第3図は、従来のアクティブマトリックス基板における西素付加容量としてMOS容量を用いた場合の平面図(a)及び(a)内のa-a'断面図(b)である。

製造工程を順次述べると、以下のようになる。まず石英板等の絶縁性基板1上に、多結晶シリコン薄膜等の半導体薄膜2を堆積し、ペターン形成する。次に、前記半導体薄膜2を酸化してゲート絶縁膜3を形成した後導電薄膜を堆積しペターニングしてゲート電極4とタイミング線5とコモン線6を形成する。ここで、タイミング線5とコモン線6は必ずしも同一材料である必要はない。次

に、リン原子イオンを自己導電薄膜をマスクに半導体薄膜2に打込むことによって、N型薄膜トランジスターとコモン線6の直下にN型のMOS蓄積を形成する。さらに層間絶縁膜7を堆積し、コントラクトホール8を開口した後、透明導電膜のペターニングにより西素電極9、金属薄膜のペターニングによりデータ線10を形成する。コモン線6は半導体薄膜2に対して正の固定電圧を印加することによって、コモン線6と半導体薄膜2の間に、酸化絶縁による蓄積付加容量を設けることができる。しかし前述の従来技術では、蓄積付加容量に限界がある。それは、西素付加容量を増やすためにはコモン線6の内で、MOS蓄積をつくる部分の面積を増やす必要があり、開口率を低下する要因になるからである。したがって特に西素電極が小さい（50ミクロンメートル角以下）場合には、一段と開口率が犠牲になる。

そこで本発明は、このような問題点を解決するもので、その目的とするところは、高密度アクティブマトリックス基板の蓄積電極にも、大きな蓄

積付加容量を形成することができるアクティブマトリックス基板の構造を提供するところにある。
(問題点を解決するための手段)

本発明のアクティブマトリックス基板は、絶縁性基板上に直交する複数本のデータ線と複数本のタイミング線を有し、該データ線とタイミング線の交差点に蓄積電極を駆動する、スイッチング素子を配置したアクティブマトリックス基板において、絶縁性基板に溝を掘り、該溝内に蓄積付加容量と構成したことを持つとする。

〔作用〕

本発明の上記の構成によれば、蓄積付加容量を絶縁性基板に溝を掘って、三次元的に構成するため、溝を深くすることで高密度の蓄積電極に対して開口率を下げることなく、狭い領域に大きな蓄積付加容量を形成することが可能である。

〔実施例〕

第1図は本発明の第1の実施例を示すもので、溝掘り型蓄積付加容量を有するアクティブマトリックス基板の平面図(a)及び(a)内のa-

a'断面図(b)である。

製造工程を以下に示す。まず、絶縁性基板1上に溝11を掘る。通常の等方性エッチャングでもよいが深く小さい溝を掘る場合には、拡式の異方性エッチャングを行なえばよい。次に、不純物がドープされた、第1の多結晶シリコン薄膜12を堆積し、溝11部内とコモン線6を残し、他をペターニングにより除去する。次に、前記多結晶シリコン薄膜12を熱酸化し、蓄積付加容量用の絶縁膜化膜13を形成した後不純物がドープされた第2の多結晶シリコン薄膜14を堆積し、溝11部内を埋める。次に導電トランジスターに用いる半導体薄膜2を堆積しペターニングし、ゲート絶縁膜3を形成後は第3図の従来工程と同じになる。同図が明らかに、第3図よりも大きな蓄積付加容量を作り込むことができる。蓄積付加容量を構成する二層の導電膜は、本実施例では、不純物がドープされた多結晶シリコン薄膜を用いているが、金属薄膜でもよく、溝11部は必ずしも埋める必要はないが、平坦性を考えれば、埋めた方が望まし

い。

第4図は、第2の実施例を示す。平面図(a)及び(a)内のa-a'断面図(b)である。

第1図は、コモン線6を西素付加容量用の絶縁膜化膜の下にした構造となっているが、第4図はコモン線を上にしたものである。第4図においては、薄膜トランジスターのゲート絶縁膜と、西素付加容量用の絶縁膜化膜を同時に形成した構造となっているが必ずしも同一にする必要はない。またコモン線6とタイミング線5は、同一材料とすることで工程短絡も可能であるが、必ずしも同一にする必要はない。

第5図は、第3の実施例を示す平面図(a)及び(a)内のa-a'断面図(b)である。本図の特徴は、第1図第3図よりもさらに西素面積が小さい高密度のアクティブマトリックス基板に適用したもので、開口率を最優先に考えた理想的な構造である。

また、第1に薄膜トランジスターをデータ線10に下に配置しているため西素領域を有効に活用

できるほか、データ線10を金具埋蔵で形成すれば遮光層のかわりになり、薄膜トランジスターの光リード電極を低減することができる。

第2に、溝掘り型の西素付加容量とコモン線6がタイミング線5の下に配置されており、これも開口率が上がる構造となっている。

製造工程は、第2の実施例(第4図)に似ており、コモン線5とタイミング線6の間に溝掘り膜7'を堆積する工程が新たに必要である。

(発明の効果)

本発明によれば、溝掘り型の西素付加容量を作り込むことによって、西素密度の高い液晶パネルにおいても十分な西素電位の保持特性が得られ、上下コントラストむら、西素ごとにコントラストむら等が少ない高品質の表示を得ることが可能である。

また、溝掘り西素付加容量をタイミング線や、データ線等の不透明部分の直下に配置すれば、さらに開口率の高い高品質の液晶パネルを実現できる。

4. 図面の簡単な説明

第1図(a)(b)、第4図(a)(b)、第6図(a)(b)はそれぞれ本発明の第1の実施例、第2の実施例、第3の実施例を示すもので、溝掘り型西素付加容量を有するアクティブマトリックス基板の平面図(a)及び(a)内のa-a'断面図(b)である。

第2図は、アクティブマトリックス基板の模式図である。

第3図(a)(b)は、従来の西素付加容量を有するアクティブマトリックス基板の平面図(a)及び(a)内のa-a'断面図(b)である。

- 1…絶縁性基板
- 2…半導体薄膜
- 3…ゲート絶縁膜
- 4…ゲート電極
- 5…タイミング線
- 6…コモン線
- 7、7'…溝掘り膜

8…コンタクトホール

9…西素電極

10…データ線

11…溝

12…不純物がドープされた第1の多結晶シリコン薄膜

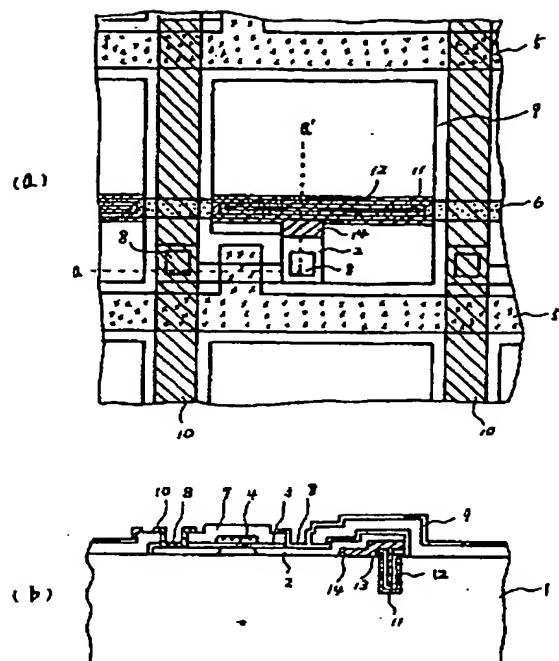
13…西素付加容量用の絶縁膜化膜

14…不純物がドープされた第2の多結晶シリコン薄膜

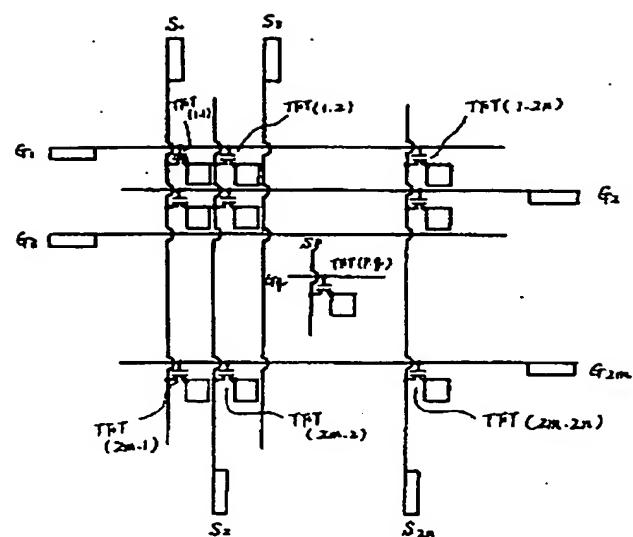
以上

出願人 セイコーエプソン株式会社

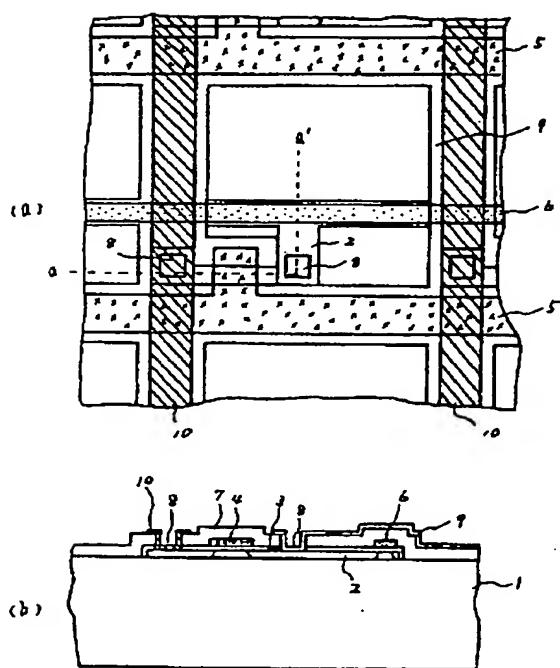
代理人 弁理士 犀上 誠一

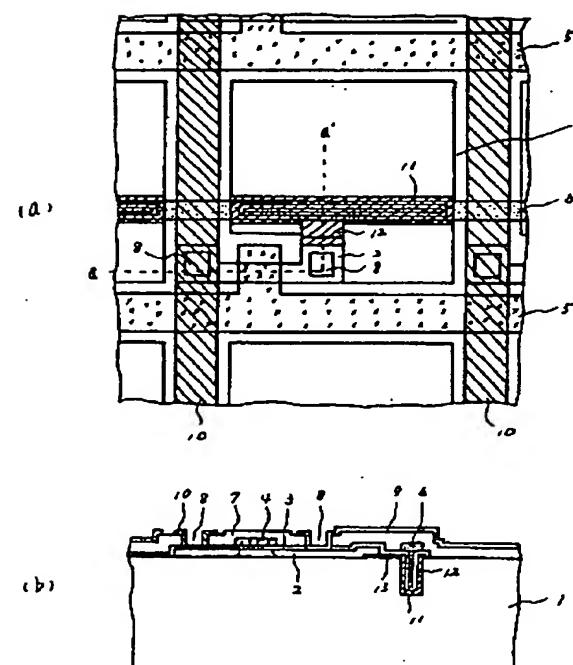
第 1 図



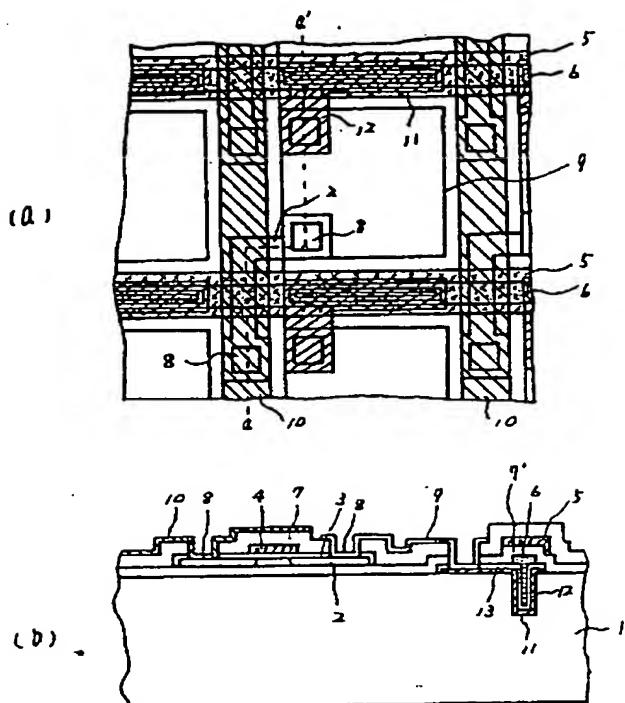
第 2 図



第 3 図



第 4 図



第 5 図